

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-026473

(43)Date of publication of application : 25.01.2002

(51)Int.Cl.

H05K 1/02
H05B 33/02
H05B 33/14

(21)Application number : 2000-207389

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 07.07.2000

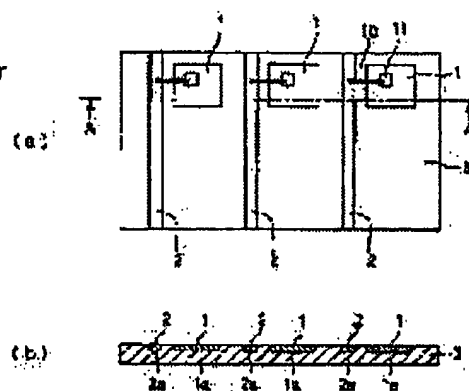
(72)Inventor : SHIMODA TATSUYA
MIYASHITA SATORU
INOUE SATOSHI
ISHIDA MASAYA

(54) BOARD FOR CURRENT DRIVING ELEMENTS AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a board for current driven elements such as organic EL light emitting elements, capable of feeding the emitting elements with sufficient power voltages.

SOLUTION: Before a unit block 1 having a transistor 11 for driving current driven elements such as organic EL light emitting elements is fitted into a recess formed in a board 3, a power source wiring pattern 2 for feeding a power to the transistor 11 is formed in advance. This allows the power source wiring pattern 2 to be made thick enough to feed the current driven elements with sufficient power voltages.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

Searching PAJ

2/2 ページ

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

JP2002-26473

【0016】 As shown in Fig. 1(b) which is a sectional view taken along line A-A of Fig. 1(a), a depression 1a is formed in a substrate 3, and an unit block 1 is embedded in the depression 1a. Moreover, a power-supply interconnection pattern 2 is provided in a depression 2a which is also formed in the substrate 3. In this case, the power-supply interconnecting pattern 2 is disposed in the depression 2a so that a pattern surface of the power-supply interconnecting pattern 2 and one of main surfaces of the substrate 3 having the depression 2a are located at the same level. However, if a sufficient power supply is achieved, there is no need to ensure that the pattern surface and the main surface are disposed at the same level.

(3)

特開2002-26473

3

4

成するのが困難である。

【0007】また、信号配線の形成に周知のフォトリソグラフィ方式は、基板全面に非常に厚い膜厚の金属層を形成した後に、レジストパターンをマスクとしてエッチングを行う必要がある。厚い膜厚の電源配線パターンを形成するためには、長時間のプロセスが必要となり、実用的な製造方法としてフォトリソグラフィ方式は望ましくない。

【0008】したがって、インクジェット法、フォトリソグラフィ方式のいずれを用いても、単位ブロックを嵌め込む前に、有機ELに充分な電源電圧を供給できるような太さの電源配線を設けることが困難であるという欠点がある。さらに、単位ブロックを基板上に配列した後は、基板上に配線を任意に設けることができなくなる。したがって、このことから充分な電源電圧を供給するための配線を設けることが困難である。

【0009】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的は電流駆動素子に充分な電源電圧を供給できる電流駆動素子用基板、及びその製造方法を提供することである。

【0010】

【課題を解決するための手段】本発明による電流駆動素子用基板は、電流駆動素子を駆動するための駆動用素子を有するブロック基板が嵌め込まれる第1の凹部と、前記ブロック基板が前記第1の凹部に嵌め込まれる前に形成され前記駆動用素子に電力を供給するための電源配線パターンとを含むことを特徴とする。

【0011】本発明による他の電流駆動素子用基板は、電流駆動素子を駆動するための駆動用素子を有するブロック基板が嵌め込まれる第1の凹部と、前記ブロック基板が前記第1の凹部に嵌め込まれる前に形成され前記駆動用素子に電力を供給するための電源配線パターンを形成するための第2の凹部とを含むことを特徴とする。前記第2の凹部に形成された前記電源配線パターンを更に含んでも良い。その場合、前記電源配線パターンは、そのパターン表面と前記凹部が形成されている一主面とが同一面になるように、前記第2の凹部に形成しても良い。

【0012】本発明による電流駆動素子用基板の製造方法は、電流駆動素子を駆動するための駆動用素子を有するブロック基板が嵌め込まれる第1の凹部を有する基板の製造方法であって、前記駆動用素子に電力を供給するための電源配線パターンを形成するステップと、この電源配線パターンの形成後に前記第1の凹部に前記ブロック基板を嵌め込むステップとを含み、前記ブロック基板を嵌め込んだ後に前記電源配線パターン以外の配線パターンを形成するようにしたことを特徴とする。

【0013】本発明による他の電流駆動素子用基板の製造方法は、電流駆動素子を駆動するための駆動用素子を有するブロック基板が嵌め込まれる第1の凹部を有する

基板の製造方法であって、前記駆動用素子に電力を供給するための電源配線パターンを前記基板に形成するための第2の凹部を形成するステップと、前記第2の凹部に前記電源配線パターンを形成するステップと、前記電源配線パターンの形成後に前記第1の凹部に前記ブロック基板を嵌め込むステップとを含み、前記ブロック基板を嵌め込んだ後に前記電源配線パターン以外の配線パターンを形成するようにしたことを特徴とする。前記電源配線パターンは、そのパターン表面と前記凹部が形成されている一主面とが同一面になるように、前記第2の凹部に形成しても良い。なお、前記第1の凹部と前記第2の凹部とを同時に形成しても良い。

【0014】要するに、前もって電源ラインを形成した基板を最初に用意し、その後単位ブロックを嵌め込む工程に移行しているのである。すなわち、単位ブロックを嵌め込む前に電源配線パターンを基板に形成するようにしたので、電源配線パターンを太くすることができ、電流駆動素子に充分な電源電圧を供給できる。

【0015】

【発明の実施の形態】次に、図面を参照して本発明の実施の形態について説明する。なお、以下の説明において参照する各図では、他の図と同等部分は同一符号によって示されている。図1は本発明による電流駆動素子用基板の実施の一形態を示す概略構成図である。基板の平面図である図1(a)を参照すると、基板3に設けられている凹部に単位ブロック1が嵌め込まれている。この単位ブロック1は、その内部領域に、EL素子等の電流駆動素子を駆動するためのトランジスタを有している。また、基板3には電源配線パターン2が設けられており、この電源配線パターン2は配線パターン10によって単位ブロック1内のトランジスタ11と電気的に接続されている。

【0016】同図(a)のA-A部の断面図である同図(b)を参照すると、基板3には、凹部1aが形成されており、この凹部1aに単位ブロック1が嵌め込まれている。また、同図に示されているように、電源配線パターン2も基板3に形成された他の凹部2a内に設けられている。この場合、電源配線パターン2は、そのパターン表面と凹部2aが形成されている基板3の一主面とが同一面になるように、凹部2a内に形成されている。もっとも、充分な電源供給がなされていれば、電源配線パターン表面と基板3の一主面とは、必ずしも同一面にならなくても良い。

【0017】ここで、同図に示されている基板の製造方法について、図2を参照して説明する。同図に示されているように、まず上述した凹部1a及び2aを設け(ステップS21)、凹部2aに上述した電源配線パターン2を形成する(ステップS22)。以上のように電源配線パターンを予め形成した後は、従来の基板と同様に、単位ブロック用の凹部1aに、単位ブロックを嵌め込む

10

20

30

40

50

(5)

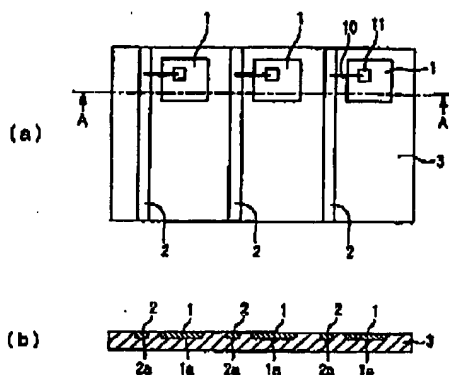
特開2002-26473

8

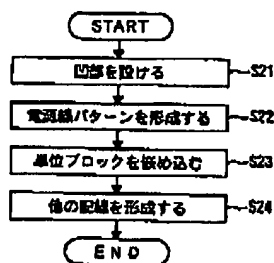
21 上配線
22 裏打ち配線
23 貫通孔

31 紫外線硬化樹脂
33 SAM膜
34 無電解めっき膜

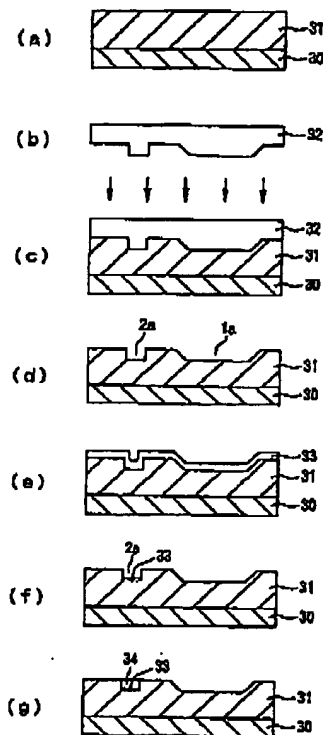
【図1】



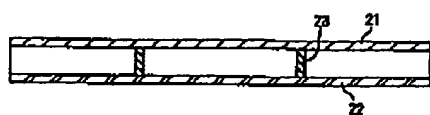
【図2】



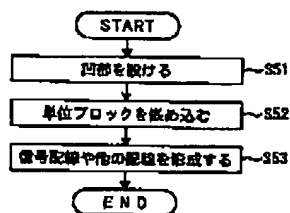
【図3】



【図4】



【図5】



フロントページの続き

(72) 発明者 井上 聡

長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

(72) 発明者 石田 方哉

長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

Fターム(参考) 3K007 AB00 AB02 AB18 BA06 DA01
DB03 EB00 FA01 GA00
5E338 AA01 BB02 BB03 BB25 BB63
BB75 CC04 CD01 EE11 EE32